

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of

SHIRAMIZU et al.

Application Number: To be Assigned

Filed: Concurrently Herewith

For: RECEIVER CIRCUIT AND TRANSMITTER CIRCUIT

ATTORNEY DOCKET NO. NITT.0178

**Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231**

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of January 31, 2003, the filing date of the corresponding Japanese patent application 2003-023446.

A certified copy of Japanese patent application 2003-023446 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344

Juan Carlos A. Marquez
Registration Number 24,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
January 20, 2004

PATENT OFFICE

JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application : January 31, 2003
Application Number : Patent Application No. 2003-023446
Applicant (s) : Renesas Technology Corp.
Hitachi Device Engineering Co., Ltd.

Dated this 19th day of November, 2003

Yasuo IMAI
Commissioner,
Patent Office
Certificate No. 2003-3095651

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 3 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 2 3 4 4 6
Application Number:

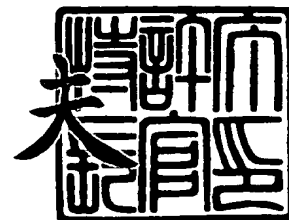
[ST. 10/C]: [J P 2 0 0 3 - 0 2 3 4 4 6]

出 願 人 株式会社ルネサステクノロジ
Applicant(s): 日立デバイスエンジニアリング株式会社

2 0 0 3 年 1 1 月 1 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 NT02P0680

【提出日】 平成15年 1月31日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 1/04

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 白水 信弘

【発明者】

【住所又は居所】 千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内

【氏名】 大島 賢一

【発明者】

【住所又は居所】 千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内

【氏名】 荒川 文彦

【発明者】

【住所又は居所】 千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内

【氏名】 楠 武志

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233088

【氏名又は名称】 日立デバイスエンジニアリング株式会社

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 受信回路および送信回路

【特許請求の範囲】

【請求項 1】

f_1 を正の実数とする伝送速度 $f_1 [b/s]$ の 1 本のデータ信号を入力信号として前記データ信号に同期した周波数 $f_1 / n [Hz]$ (n は、2 以上の自然数) のクロック信号を再生して出力するクロック同期回路と、

j 本 (j は、1 以上の自然数) の配線を介して前記クロック同期回路出力のクロック信号を入力として所定の通倍率で通倍クロック信号を出力する j 個の通倍器と、

前記クロック同期回路の入力と共通な 1 本を含めた j 並列の入力端子、 $j \times k$ 並列の出力端子、および j 並列のクロック入力端子を有し、第 $j + 1$ から第 $2 \times j$ の配線を介して前記 j 本の通倍クロック信号を前記 j 並列のクロック入力端子に印加してタイミングの基準とし、前記 j 並列の入力端子に入力された j 本の、伝送速度 $f_1 [b/s]$ のデータ信号を識別再生、かつ、 $1 : k$ の比率でデータ分離を行い、 $j \times k$ 本の伝送速度 $f_1 / k [b/s]$ のデータ信号へと変換するクロック同期デジタル回路とを備え、

前記クロック同期デジタル回路の j 並列のデータ信号を入力とする端子を受信回路の入力端子とし、 $j \times k$ 並列のデータ信号を出力とする端子を受信回路の出力端子とし、前記クロック同期回路の出力端子と前記 j 個の通倍器の入力端子とを結ぶ前記第 1 から第 j の配線と、前記 j 個の通倍器と前記デジタル回路の j 並列のクロック入力端子とを結ぶ前記第 $j + 1$ から第 $2 \times j$ の配線の内の、第 1 から第 j の配線で生じる遅延の最大値 $t_{1max} [s]$ と、第 $j + 1$ から第 $2 \times j$ の配線で生じる遅延の最大値 $t_{2max} [s]$ とは、遅延 t_{2max} の方が小さく、かつ、遅延 t_{2max} は前記通倍器出力のクロック周期 $1 / f_1 [s]$ の $1 / 10$ 以下となるように配置されていることを特徴とする受信回路。

【請求項 2】

f_1 を正の実数、 m を 1 以上の自然数、 n を 2 以上の自然数とする周波数 $f_1 / m / n [Hz]$ のクロック信号を入力信号とし、前記入力クロック信号に同期

した周波数 f_1/n [Hz] のクロック信号を出力信号とするクロック同期回路と、

前記クロック同期回路出力のクロック信号を第 1 から第 j (j は、1 以上の自然数) の配線を介して入力信号とし、所定の通倍率で通倍クロック信号を出力信号とする j 個の通倍器と、

$j \times k$ 並列 (k は 2 以上の自然数) のデータ信号の入力端子、 j 並列のデータ信号の出力端子、 j 並列のクロック入力端子を有し、第 $j+1$ から第 $2 \times j$ の配線を介して前記 j 本の通倍クロック信号を前記 j 並列のクロック入力端子に印加してタイミングの基準とし、入力端子に入力された $j \times k$ 本の伝送速度 f_1/k [b/s] のデータ信号を識別再生、かつ、 $k:1$ の比率で時分割多重を行い、 j 本の伝送速度 f_1 [b/s] のデータ信号へと変換するクロック同期デジタル回路とを備え、

前記クロック同期デジタル回路の $j \times k$ 並列のデータ信号を入力とする端子を送信回路の入力端子とし、 j 並列のデータ出力信号を出力する端子を送信回路の出力端子とし、

前記クロック同期回路の出力端子と前記 j 個の通倍器の入力端子とを結ぶ前記第 1 から第 j の配線と、前記 j 個の通倍器と前記デジタル回路の j 並列のクロック入力端子とを結ぶ前記第 $j+1$ から第 $2 \times j$ の配線において、第 1 から第 j の配線で生じる遅延の最大値 t_{1max} [s] と第 $j+1$ から第 $2 \times j$ の配線で生じる遅延の最大値 t_{2max} [s] とでは、遅延 t_{2max} の方が小さく、かつ、遅延 t_{2max} は前記通倍器出力のクロック周期 $1/f_1$ [s] の $1/10$ 以下となるよう配置されていることを特徴とする送信回路。

【請求項 3】

請求項 1 に記載の受信回路において、

前記クロック同期デジタル回路は、

1 本の伝送速度 f_1 [b/s] のデータ信号と 1 本の周波数 f_1 [Hz] のクロック信号を入力信号とし、前記クロック信号をタイミングの基準として前記データ信号を識別再生した信号を出力信号とする j 個のフリップフロップと、

前記クロック信号を入力信号とし、所定の分周比の周波数クロック信号を出力

信号とする 1 以上の分周器と、

前記フリップフロップの出力データ信号と、前記分周器の出力クロック信号とを
入力信号とし、前記分周器出力クロック信号をタイミングの基準として、前記
データ信号を 1 チャンネルにつき伝送速度 f_1/k [b/s] である (k は 2 以上
の自然数) k チャンネルの並列データ信号へと時分割多重信号を分離して出力信号
とする j 個のデマルチプレクサとを備えることを特徴とする受信回路。

【請求項 4】

請求項 2 に記載の送信回路において、

前記クロック同期デジタル回路は、

周波数 f_1 [Hz] のクロック信号を入力信号とし、所定の分周比の周波数クロ
ック信号を出力信号とする 1 以上の分周器と、

1 チャンネルにつき伝送速度 f_1/k [b/s] の k チャンネル (k は、2 以上の自
然数) の並列データ信号を時分割多重化して伝送速度 f_1 [b/s] の直列信号
を出力する j 個のマルチプレクサと、

前記マルチプレクサの 1 の出力データ信号と 1 本の周波数 f_1 [Hz] のクロ
ック信号を入力信号とし、前記クロック信号をタイミングの基準として前記デー
タ信号を識別再生した信号を出力信号とする j 個のフリップフロップとを備える
ことを特徴とする送信回路。

【請求項 5】

請求項 1 または請求項 3 に記載の受信回路において、

前記クロック同期回路は、

入力信号により周波数を制御することができる入力端子を備え、所定の周波数
のクロック信号を出力信号とする周波数制御発振器と

位相差または周波数差信号を入力信号とし、前記周波数制御発振器の制御信号
を出力信号とする制御回路と、

伝送速度 f_1 [b/s] のデータ信号と、前記周波数制御発振器の出力クロッ
ク信号を入力信号とし、前記データ信号と前記クロック信号の位相差または周波
数差を表す信号を出力信号とする位相周波数比較器とを備え、

前記位相周波数比較器のデータ信号を入力信号とする端子を入力端子とし、前

記周波数制御発振器の出力端子を出力端子とし、

入力データ信号と、出力クロック信号の位相が一致し、伝送速度 f_1 [b/s] と周波数 f_1/n [Hz] の比が所要の比率で固定されるように制御されることを特徴とする受信回路。

【請求項 6】

請求項 2 または請求項 4 に記載の送信回路において、

前記クロック同期デジタル回路は、周波数 f_1/n [Hz] のクロック信号を入力信号とする入力端子と、前記クロック信号を $1/m$ に分周した $f_1/m/n$ [Hz] のクロック信号を出力信号とする出力端子を備え、

前記クロック同期回路は、入力信号により周波数を制御することができる入力端子を備え、所定の周波数のクロック信号を出力信号とする周波数制御発振器と、位相差または周波数差信号を入力し、前記周波数制御発振器の制御信号を出力する制御回路と、周波数 $f_1/m/n$ [Hz] の入力クロック信号と、前記クロック同期デジタル回路が出力する分周出力クロック信号を入力信号とし、前記入力クロック信号と前記分周クロック信号の位相差または周波数差を表す信号を出力信号とする位相周波数比較器とを備え、

前記クロック同期回路が、前記位相周波数比較器の入力クロック信号を入力信号とする端子を入力端子とし、前記周波数制御発振器の出力信号端子を出力端子とし、前記入力クロック信号と、前記クロック同期デジタル回路の分周出力クロック信号との位相差と周波数差が一致し、出力クロック信号が周波数 f_1/n [Hz] で固定されるように制御されることを特徴とする送信回路。

【請求項 7】

請求項 1、3、5 のいずれかに記載の受信回路において、

受信回路に入力される前記データ信号が光信号であり、

前記光信号を電気信号に変換するフォトダイオードと、

前記フォトダイオードの信号を増幅する前置増幅器とをさらに備え、

前記前置増幅器の出力がデータ入力信号として前記クロック同期デジタル回路に入力されることを特徴とする受信回路。

【請求項 8】

請求項 2、4、6 のいずれかに記載の送信回路において、
前記クロック同期デジタル回路の出力端子と送信回路の出力端子との間に、
前記クロック同期デジタル回路のデータ信号出力を増幅するドライバと、光信号を発生させるレーザ発信器と、前記光信号を前記ドライバ出力の変調信号に応じて変調した変調信号を出力する変調器とをさらに備え、
送信回路の出力端子から出力するデータ信号が光信号であることを特徴とする送信回路。

【請求項 9】

請求項 1、3、5、7 に記載のいずれかの受信回路において、
前記逡倍器は、排他的論理和回路と 90° 移相器からなり、
前記逡倍器に入力される信号を分岐して、一方を前記排他的論理和回路の入力とし、分岐した他方の信号を前記 90° 移相器を介して前記排他的論理和回路の他方の入力とし、前記排他的論理和回路の出力を逡倍器の出力とすることを特徴とする受信回路。

【請求項 10】

請求項 1、3、5、7、9、に記載のいずれかの受信回路と、請求項 2、4、6、8、に記載のいずれかの送信回路とを備えることを特徴とする送受信回路。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、クロックと同期してデータ信号処理を行う通信用の送信回路および受信回路に関する。

【0002】**【従来の技術】**

近年、データ通信容量を増大させるために、通信システムの伝送速度の向上が求められており、システムの要素回路には高速性能が必須である。特に光通信用回路は、光ファイバの超高速な伝達特性を最大限に利用するため、動作速度の向上が強く求められている。

【0003】

ここで、伝送速度の限界となる要因について説明する。通信用回路では正確なタイミングで伝送を行うため、外部の基準クロックに同期して動作する。送信時はクロック信号を用いてデータ波形を整形して送信を行い、受信時は受信したデータ波形から抽出したクロック信号を用いて識別する。クロック信号がデータの送信や受信のタイミングを決定しているため、クロック信号の最高周波数がそのまま通信回路において必要な最高動作速度を決定している。

【0004】

すなわち、通信用回路の中ではクロック信号が最も高い周波数成分を持つため、そのクロック信号処理回路の動作速度の上限は少なくともクロック信号周波数を上回らなければならない。また、高周波においては、回路を構成するデバイス特性や配線寄生素子の影響により、クロック信号処理回路の動作周波数の上限が決定される。クロック信号処理回路に動作周波数以上のクロック信号が入力された場合には、クロック信号の振幅が減少し、そのために例えばフリップフロップなどのクロック同期型の回路の動作に誤りが生じる。したがって、クロック信号処理回路の最高動作周波数は、通信用回路の動作速度を決定する重要な要素である。

【0005】

このような光通信用回路において、図2に示すように、クロック同期型の回路を用いて構成した送信回路と受信器とが光ファイバにより接続されるシステムが知られている（例えば、非特許文献1のFig.1参照。以下、「従来例1」と呼ぶ）。

【0006】

図2において、送信回路TRMには並列データ信号と、クロック信号が入力される。マルチプレクサ(MUX)30は、並列データ信号を直列データ信号に時分割多重化する回路である。伝送速度 f_1/m [b/s] で m 並列のデータ信号を伝送速度 f_1 [b/s] の直列データ信号に多重化することができる。ここで、 m は2のべき乗であり、図2では $m=4$ の場合を示している。多重化されたデータ信号は、レーザダイオード40、変調器41、およびドライバ42からなる電気・光変換器を経て光信号に変換される。

【0007】

光ファイバ33を経て受信回路RCVに入力された光信号は、フォトダイオード31、プリアンプ32、およびメインアンプ35により電気信号へと変換、増幅される。この信号が分岐されて、一方は識別器36へ、もう一方はクロック抽出回路2aへと入力される。クロック抽出回路2aはデータ信号からクロック信号を再生する回路である。識別器36は再生されたクロック信号を用いて正確なタイミングでデータの符号を判別して出力し、デマルチプレクサ(DEMUX)回路34に入力する。デマルチプレクサ回路34は、再生されたクロック信号を分周回路20で周波数 $f_1/2$ [Hz]にしたクロック信号を用いて、伝送速度 f_1 [b/s]の直列データ信号を f_1/m [b/s]の伝送速度でm並列のデータ信号に分離して出力する。この構成により、電気回路で容易に扱える f_1/m [b/s]の伝送速度のデータ信号をm並列同時に一本の光ファイバで伝送することができる。図2では伝送速度10 [Gb/s]の送信器に、周波数5 [GHz]の外部クロックを入力している。

【0008】

光伝送システムに実際に通信用回路を適用する場合は、出力波形のジッタの低減を図り、通信誤りを極力少なくするためリタイミングを行うことが強く求められる。そのため、マルチプレクサMUXの出力の後段に、図3（例えば、非特許文献2のFig. 1参照、以下、「従来例2」と呼ぶ）に示すようにリタイミングを行うマスタースレーブDフリップフロップMSを配置し、伝送速度 f_1 [b/s]の速度に対して、周波数 f_1 [Hz]のクロック信号を入力して波形整形を行う。

【0009】

受信器側も同様に周波数 f_1 [Hz]のクロック信号を入力して、識別器36を駆動し、正確に波形再生する。なお、図3において、参照符号MはマスタースレーブDフリップフロップのマスタースレーブDフリップフロップのマスター、SはマスタースレーブDフリップフロップのスレーブを示している。また、20aは分周回路、23はデータ出力バッファ回路、24はクロック信号が適切なタイムスロットで入るようにクロック信号の位相調整を可能にする位相シフト回路、25はクロックバッファ回路、T1、

T2は位相制御用の制御信号入力端子である。

【0010】

ここで、 f_1 [b/s] の伝送速度で f_1 [Hz] の周波数のクロックを用いて動作させる方式をフルレート方式と呼ぶ。また、前述の図2に示した送信回路だけでなく、図4の回路（例えば、非特許文献1、Fig. 16参照、以下、「従来例3」と呼ぶ）構成では、受信回路RCVについても伝送速度40 [Gb/s] に対して、周波数20 [GHz] のクロック信号を入力している。このように、 f_1 [b/s] の伝送速度で $f_1/2$ [Hz] の周波数のクロック信号を用いて、送信回路、受信回路を動作させる方式をハーフレート方式と呼ぶ。

【0011】

【非特許文献1】

H. M. レイン (H.-M. REIN) 著、「10-40 Gb/s 光ファイバTDMリンク用SiおよびSiGeバイポーラICs (Si and SiGe BIPOLAR ICs FOR 10 TO 40Gb/s OPTICAL-FIBER TDM LINKS)」、インターナショナル・ジャーナル・オブ・ハイスピード・エレクトロニクス・アンド・システムズ (International Journal of High Speed Electronics and Systems) 1998年、第2巻、p. 347-383 (Vol.9, No.2, pp.347-383, 1998), ワールド・サイエンティフィック出版会社 (World Scientific Publishing Company)

【非特許文献2】

Z. H. ラオ他 (Z.H.Lao, et al.)、「SDHシステム用12 Gb/s Siバイポーラ4:1マルチプレクサIC (A 12Gb/s Si Bipolar 4:1-Multiplexer IC for SDH Systems)」、アイ・イー・イー・イー・ジャーナル・オブ・ソリッドステートサーキット (IEEE Journal of Solid-State Circuits)、1995年、第30巻、p. 129-132 (Vol.30, No.2, pp.129-132)

【0012】

【発明が解決しようとする課題】

通信用回路の最高動作速度は、トランジスタや伝送線路の特性、回路構成によって決まり、特にクロック信号を処理する回路が重要である。フルレート方式の場合にはクロック信号が最も高い周波数成分を持っており、その信号が通る回路

が回路全体の動作速度を決める。

【0 0 1 3】

最も高い周波数のクロック信号を処理する回路としては、回路ブロック間の配線に信号を伝達するためのクロックバッファ回路、クロック同期回路を構成する位相周波数比較器、周波数制御発振器、フリップフロップなど複数のブロックがある。フリップフロップが動作する最大動作速度は、入力クロック信号の振幅が低速動作と同じ場合にトランジスタの最大スイッチング速度として得られる。

【0 0 1 4】

しかしながら、実際の通信回路においては、フリップフロップ以外の、前述のクロックバッファ回路などでの帯域の制限により、最大動作速度に達する前に、クロック信号の振幅が減衰し、フリップフロップの誤動作が生じ、このときの動作速度が通信用回路の最大動作速度となる。

【0 0 1 5】

したがって、最も高い周波数のクロック信号を処理するブロックを減らし、帯域の制限をなくすことにより、フリップフロップの最大動作速度まで通信用回路の動作速度を向上させることができる。このため、クロック信号の周波数を $1/2$ にしてクロック信号処理の制限を緩和し、データ信号処理の限界まで動作させることができる前述した従来例 2 や従来例 3 のハーフレート方式が提案されている。

【0 0 1 6】

ハーフレート方式は、クロック信号の立ち上がりのタイミングと、立ち下がりのタイミングのどちらも識別のタイミングに使用している。一方、フルレート方式は、識別・決定のタイミングは立ち上がりのとき、あるいは立ち下がりのときのどちらか片方だけを使用する。ハーフレート方式では、立ち上がりと立ち下がりとの間隔が、データ信号の符号長と同じであればいいので、フルレート方式の $1/2$ の周波数のクロック信号で、同じ伝送速度が実現できる。

【0 0 1 7】

しかしながら、ハーフレート方式にはジッタが増加してエラーレートが低下する問題が生じる。この原因は、クロック信号が立ち上がるときと立ち下がるとき

では、回路内の電流の経路が異なるため、充放電する寄生容量の値が違い、立ち上がり時間と立ち下り時間が異なるためである。特に前段のバッファにエミッタフォロワを利用している場合には、切替えのために供給する電流値が異なり、立ち上がり時間と立ち下り時間に大きな差が生じる。この問題を解決するために立ち上がり時間と立ち下り時間が同じになるような対称性を考慮した回路が求められるが、対称性と動作速度を両立させる回路を構成することは困難である。

【0018】

ハーフレート方式では、クロック信号の立ち上がり時と立ち下り時の両方ともにデータ信号の切替えを行うことから、それぞれの時間の差によって切替えのタイミングがずれて、データ信号のデューティ比が変動する。デューティ比の変動のあるデータ信号には、大きなジッタが生じる。

【0019】

以上のように、従来の技術では、フルレート方式の場合はクロック信号の高い周波数の伝達が困難であるため動作速度の低下が起こり、ハーフレート方式の場合はジッタが増加するという問題があった。

【0020】

本発明の目的は、クロック信号処理回路の動作速度をフリップフロップの最大速度まで向上させ、かつ、ジッタの発生を抑えた受信回路および送信回路を提供することにある。

【0021】

【課題を解決するための手段】

(1) . 本発明に係る受信回路の代表的なものは、 f_1 を正の実数とする伝送速度 f_1 [b/s] の 1 本のデータ信号を入力信号として前記データ信号に同期した周波数 f_1/n [Hz] (n は、2 以上の自然数) のクロック信号を再生して出力するクロック同期回路と、

j 本 (j は、1 以上の自然数) の配線を介して前記クロック同期回路出力のクロック信号を入力として所定の通倍率で通倍クロック信号を出力する j 個の通倍器と、

前記クロック同期回路の入力と共通な 1 本を含めた j 並列の入力端子、 $j \times k$

並列の出力端子、および j 並列のクロック入力端子を有し、第 $j+1$ から第 $2 \times j$ の配線を介して前記 j 本の通倍クロック信号を前記 j 並列のクロック入力端子に印加してタイミングの基準とし、前記 j 並列の入力端子に入力された j 本の、伝送速度 f_1 [b/s] のデータ信号を識別再生、かつ、 $1:k$ の比率でデータ分離を行い、 $j \times k$ 本の伝送速度 f_1/k [b/s] のデータ信号へと変換するクロック同期デジタル回路とを備え、

前記クロック同期デジタル回路の j 並列のデータ信号を入力とする端子を受信回路の入力端子とし、 $j \times k$ 並列のデータ信号を出力とする端子を受信回路の出力端子とし、前記クロック同期回路の出力端子と前記 j 個の通倍器の入力端子とを結ぶ前記第 1 から第 j の配線と、前記 j 個の通倍器と前記デジタル回路の j 並列のクロック入力端子とを結ぶ前記第 $j+1$ から第 $2 \times j$ の配線の内の、第 1 から第 j の配線で生じる遅延の最大値 $t_{1\max}$ [s] と、第 $j+1$ から第 $2 \times j$ の配線で生じる遅延の最大値 $t_{2\max}$ [s] とは、遅延 $t_{2\max}$ の方が小さく、かつ、遅延 $t_{2\max}$ は前記通倍器出力のクロック周期 $1/f_1$ [s] の $1/10$ 以下となるように配置されていることを特徴とするものである。

(2) . また、本発明に係る送信回路の代表的なものは、 f_1 を正の実数、 m を 1 以上の自然数、 n を 2 以上の自然数とする周波数 $f_1/m/n$ [Hz] のクロック信号を入力信号とし、前記入力クロック信号に同期した周波数 f_1/n [Hz] のクロック信号を出力信号とするクロック同期回路と、

前記クロック同期回路出力のクロック信号を第 1 から第 j (j は、1 以上の自然数) の配線を介して入力信号とし、所定の通倍率で通倍クロック信号を出力信号とする j 個の通倍器と、

$j \times k$ 並列 (k は 2 以上の自然数) のデータ信号の入力端子、 j 並列のデータ信号の出力端子、 j 並列のクロック入力端子を有し、第 $j+1$ から第 $2 \times j$ の配線を介して前記 j 本の通倍クロック信号を前記 j 並列のクロック入力端子に印加してタイミングの基準とし、入力端子に入力された $j \times k$ 本の伝送速度 f_1/k [b/s] のデータ信号を識別再生、かつ、 $k:1$ の比率で時分割多重を行い、 j 本の伝送速度 f_1 [b/s] のデータ信号へと変換するクロック同期デジタル回路とを備え、

前記クロック同期デジタル回路の $j \times k$ 並列のデータ信号を入力とする端子を送信回路の入力端子とし、 j 並列のデータ出力信号を出力する端子を送信回路の出力端子とし、

前記クロック同期回路の出力端子と前記 j 個の逡倍器の入力端子とを結ぶ前記第 1 から第 j の配線と、前記 j 個の逡倍器と前記デジタル回路の j 並列のクロック入力端子とを結ぶ前記第 $j + 1$ から第 $2 \times j$ の配線において、第 1 から第 j の配線で生じる遅延の最大値 $t_{1\max} [s]$ と第 $j + 1$ から第 $2 \times j$ の配線で生じる遅延の最大値 $t_{2\max} [s]$ とでは、遅延 $t_{2\max}$ の方が小さく、かつ、遅延 $t_{2\max}$ は前記逡倍器出力のクロック周期 $1/f_1 [s]$ の $1/10$ 以下となるよう配置されていることを特徴とするものである。

【0022】

また、前述の送信回路において、前記逡倍器は、排他的論理和回路と 90° 移相器からなり、前記逡倍器に入力される信号を分岐して、一方を前記排他的論理和回路の入力とし、分岐した他方の信号を前記 90° 移相器を介して前記排他的論理和回路の他方の入力とし、前記排他的論理和回路の出力を逡倍器の出力とすることを特徴とする送信回路。

(3) . また、上記 (1) の受信回路または上記 (2) の送信回路において、

前記逡倍器に入力される信号は差動信号であり、

前記排他的論理和回路は前記差動信号を第 1 の入力信号とし、 90° 移相器の出力の差動信号を第 2 の入力信号とし、

前記逡倍器は、第 1 から第 7 のトランジスタと、第 1 から第 3 の抵抗と、第 1 から第 3 の定電圧の端子を具備し、

前記第 1 の入力信号の正相が前記第 1 及び第 4 のトランジスタのベースに入力され、

前記第 1 の入力信号の逆相が前記第 2 及び第 4 のトランジスタのベースに入力され、

前記第 2 の入力信号の正相が前記第 5 及び第 6 のトランジスタのベースに入力され、

前記第 1 及び第 3 のトランジスタの共通コレクタは、前記第 1 の抵抗を介して

前記第 1 の定電圧の端子に接続され、

前記第 2 及び第 4 のトランジスタの共通コレクタは、前記第 2 の抵抗を介して前記第 1 の定電圧の端子へ接続され、

前記第 5 のトランジスタのコレクタは、前記第 1 及び第 2 のトランジスタの共通エミッタに接続され、

前記第 6 のトランジスタのコレクタは、前記第 3 及び第 4 のトランジスタの共通エミッタに接続され、

前記第 7 のトランジスタのコレクタは前記第 5 及び第 6 のトランジスタの共通エミッタに接続され、ベースは前記第 3 の定電圧の端子に接続し、エミッタは前記第 3 の抵抗を介して前記第 2 の定電圧の端子に接続され、

前記第 1 及び第 3 のトランジスタの共通コレクタを前記通倍器の正相の出力端子とし、前記第 2 と第 4 のトランジスタの共通コレクタを前記通倍器の逆相の出力端子として構成すれば好適である。

(4) . また、上記 (1) の受信回路または上記 (2) の送信回路において、

前記通倍器は、第 1 から第 3 のトランジスタと、第 1 の抵抗と、第 1 から第 3 の定電圧の端子とを具備し、

入力される差動信号の正相が前記第 1 のトランジスタのベースに入力され、逆相が前記第 2 のトランジスタのベースに入力され、

前記第 1 及び第 2 のトランジスタの共通コレクタが前記第 1 の定電圧の端子に接続され、共通エミッタが前記第 3 のトランジスタのコレクタに接続され、

前記第 3 のトランジスタのベースが前記第 3 の定電圧の端子に接続され、エミッタが前記第 1 の抵抗を介して前記第 2 の定電圧の端子に接続され、

前記第 1 及び第 2 のトランジスタの共通エミッタを出力端子として入力信号の全波整流波形を出力する構成としてもよい。

(5) . また、上記 (1) の受信回路または上記 (2) の送信回路において、

前記通倍器は、第 1 から第 4 のダイオードを具備し、

入力される差動信号の正相が前記第 1 のダイオードのアノードと、前記第 3 のダイオードのカソードに入力され、逆相が前記第 2 のダイオードのアノードと、

前記第 4 のダイオードのカソードに入力され、

前記第1及び第2のダイオードの共通カソードを第1の出力端子とし、前記第3及び第4の共通アノードを第2の出力端子として入力信号の全波整流波形を出力する構成としてもよい。

【0023】

【発明の実施の形態】

以下、本発明の好適な実施形態について添付図面を参照しながら詳細に説明する。

【0024】

<実施形態1>

図1は、本発明に係る受信回路および送信回路の第1の実施形態を示す回路図である。図1に示す受信回路1は、伝送速度 f_1 [b/s] の直列データ信号を j 本入力し、その1つのデータ信号から周波数 f_1/n [Hz] (n は2以上の自然数) のクロック信号成分を抽出して再生するクロック同期回路 (CDR: クロックデータリカバリ) 2と、そのクロック信号の周波数を n 倍にする通倍器 (MUL) 3と、その通倍したクロック信号 CLK1 をタイミングの基準として入力データ信号を識別再生するクロック同期デジタル回路 (CSD) 4 とから構成される。

【0025】

クロック同期デジタル回路4の出力、すなわち受信回路の出力は、入力された直列データ信号を伝送速度 f_1/k [b/s] で $j \times k$ [チャンネル (ch)] の並列信号に分離して出力する。

【0026】

クロック同期回路2の出力と通倍器3の入力を結ぶ配線5は、遅延 t_1 [s] を生じ、通倍器3の出力とクロック同期デジタル回路4のクロック入力を結ぶ配線6は、遅延 t_2 [s] を生じるとすると、遅延 t_1 の最大値 t_{1max} と遅延 t_2 の最大値 t_{2max} の関係は、 $t_{1max} > t_{2max}$ とし、また配線6の遅延2の影響を小さくするために、遅延 t_{2max} がクロック信号の周期 $1/f_1$ [s] より1桁以上充分小さく、すなわち $1/10$ 以下となるように、配線6の遅延を考慮して、それぞれの回路を配置する。なお、配線13を介したクロッ

ク同期回路 2 の周波数 f_1/n [Hz] の出力が逡倍器を介さずにクロック信号 CLK 2 としてクロック同期デジタル回路 4 へ入力されているが、このクロック CLK 2 は分離された並列信号の処理回路のように、 f_1/n [Hz] 以下の周波数で同期して動作する回路のためのクロック信号である。

【0027】

この構成を用いることにより、クロック同期デジタル回路 4 がデータを識別・切換するタイミングは、フルレート方式と同様に 1 つの符号に 1 波長のクロック信号が対応するため、クロック信号の立ち上がり、あるいは立ち下がりのどちらか一方のみとなる。前述したハーフレート方式で生じるような、立ち上がりと立ち下がりの時間のずれによるジッタは発生しない。したがって、受信信号の識別位相余裕はハーフレート方式より大きくなる。

【0028】

一方、従来のフルレート方式では、その他にクロック同期回路を構成する回路ブロックとその間の配線で f_1 [Hz] のクロック信号を扱うため、クロック同期回路を構成する位相制御回路、クロック発生回路、配線寄生容量、配線の分岐などにより、いくつもの周波数帯域の制限要因が生じる。それに対して、本実施形態の構成では、回路内で最も高い周波数である f_1 [Hz] のクロック信号を扱うのは、逡倍器 3 と、クロック同期デジタル回路 4 のクロック入力となるフリップフロップと、その間を結ぶ配線 6 のみであるため、配置を考慮することにより、周波数帯域の制限となる要素は、逡倍器とフリップフロップを構成するデバイスの特性だけで決まる。したがって、フリップフロップの最大動作速度とほぼ同じ速度まで、受信回路全体の伝送速度を向上することができる。よって、本実施形態の構成の受信回路は従来に比べて、ジッタを劣化させずに動作速度の向上が図れる。

【0029】

例えば、クロック同期回路 2 を構成する回路ブロックとクロック同期デジタル回路 4 とを結ぶ配線が長くなると、配線寄生容量による帯域の減少に伴い、クロック信号振幅の減衰が生じる。クロック同期回路 2 の出力端子の周波数帯域が抵抗と容量だけで決まり、クロック同期回路の帯域 40 GHz、出力抵抗 20 Ω 、

クロック同期デジタル回路 4 の入力容量 200 fF の回路に逓倍器 3 を用いないで接続したとすると、その間を接続する配線に 200 fF の配線容量がある場合、周波数帯域は 20 GHz に低下してしまう。

【0030】

回路の周波数帯域付近の高周波動作では、飽和動作せずに線形増幅の動作をすることから、 40 GHz のクロック信号の振幅は、 7.0 dB 低下することになる。

【0031】

一方、本実施形態の構成のように、クロック同期回路 2 を 20 GHz のクロック信号で動作させ、寄生容量 200 fF のクロック信号配線を伝達し、クロック信号 2 倍の逓倍器 3 を用いて、クロック同期デジタル回路 4 に 40 GHz のクロック信号を入力した場合には、クロック同期回路 2 の振幅は、逓倍器 3 での減衰はないとすると、 3.0 dB の低下にとどまる。周波数 1 GHz のクロック信号の振幅が 200 mV とすると、逓倍器を使用しない場合、クロック信号振幅は 89.3 mV となる。一方で逓倍器を使用する場合、クロック信号振幅は 142 mV となる。

【0032】

クロック同期回路 2 の低周波利得が 30 dB とし、低速な雑音信号が 3 mV 振幅で入力されたとすると、フリップフロップの入力端では 94.9 mV になり、逓倍器を用いない場合では誤動作がおきる。一方、逓倍器 3 を用いた場合には動作のマージンがあり、前者とおなじ振幅になるのは $40\text{ GHz} \times 2 = 80\text{ GHz}$ であり、動作周波数の限界が高いことは明らかである。

【0033】

上記の例では、回路構成を仮定した場合であるが、通常、フリップフロップのデジタル回路の動作周波数の方が、線形利得の周波数帯域よりも高いため、上記例の回路構成や値によらずに、同様の現象が発生する。

【0034】

また、配線の遅延 t_2 がクロック信号の周期 $1/f_1$ の $1/10$ 以下となるように配置することにより、以下の理由により配線寄生容量が無視でき、デジタル

回路の動作周波数まで動作させることができるようになる。

逓倍器の出力抵抗 R とフリップフロップの入力容量 C で決まる周波数帯域がクロック信号と同じ角周波数 $\omega_0 = 1 / (RC) = 2\pi f_1$ とすると、配線の寄生容量 C' は、 $C' \cong C / 10$ と近似できるので、クロック信号の振幅の減衰比は次式 (1) のように表され、最大 5 % 以下であり、配線は周波数帯域を決める主要因ではなくなる。逓倍器の出力抵抗 R は、クロックバッファと同様の回路を出力バッファに適用することによって、最適化が可能である。

【0035】

【数1】

$$\sqrt{\frac{\frac{1}{1+(1.1RC\omega_0)^2}}{\frac{1}{1+(RC\omega_0)^2}}} \cong \sqrt{\frac{1^2}{1.1^2}} = 0.901 \quad \left(\omega_0 = \frac{1}{RC} \text{ のとき} \right) \dots (1)$$

また、前述した従来のフルレート方式では、クロック同期回路を構成する回路ブロックとその間の配線で、周波数 f_1 [Hz] のクロック信号を扱う必要があるのに比較して、本実施形態の構成ではクロック同期回路の動作速度を $1/n$ に低減することができ、周波数帯域とトレードオフの関係にある他の回路特性を向上させることができる。例えば、負荷駆動力の向上や、消費電力の低減、同期制御周波数範囲の向上、位相雑音の低減などが挙げられる。

【0036】

図1の送信回路7は、伝送速度 f_1/k [b/s] の直列データ信号を $j \times k$ [ch] 並列で入力し、またデータ信号と同期した周波数 $f_1/m/n$ [Hz] の基準クロック信号 CLK を入力として、伝送速度 f_1 [b/s] で j [ch] のデータ信号を出力する。

【0037】

送信回路7は、基準クロック Ref CLK に同期して m 倍の周波数 f_1/n [Hz] のクロック信号を出力するクロック制御回路 (CMU: クロックマルチプライヤユニット) 8 と、その出力を n 倍の周波数 f_1 [Hz] のクロック信号に

通倍する通倍器 9 と、その通倍したクロック信号 CLK 1 をタイミングの基準として時分割多重化と波形整形をして、伝送速度 f_1 [b/s] で j [ch] のデータ信号を出力するクロック同期デジタル回路 10 とから構成され、クロック同期デジタル回路 10 の出力は、送信回路 7 の出力として、光ファイバなどの通信路 CP を経て、受信回路 1 の入力へ伝達される。なお、配線 14 を介したクロック同期回路 8 の周波数 f_1/n [Hz] の出力が通倍器を介さずにクロック同期デジタル回路 10 へクロック信号 CLK 2 として入力されているが、このクロック CLK 2 は多重化される前の並列信号の処理回路のように f_1/n [Hz] 以下の周波数で同期して動作する回路のためのクロック信号である。

【0038】

送信回路 7 も受信回路 1 と同様に、クロック制御回路 8 の出力と通倍器 9 の入力を結ぶ配線 11 において遅延 t_1 [s] を生じ、通倍器 9 の出力とフリップフロップの入力を結ぶ配線 12 において遅延 t_2 [s] を生じるとすると、遅延 t_1 の最大値 t_{1max} と遅延 t_2 の最大値 t_{2max} の関係は、 $t_{1max} > t_{2max}$ となるように、かつ遅延 t_{2max} がクロック信号の周期 $1/f_1$ [s] の $1/10$ 以下となるように、それぞれの回路を配置する。

【0039】

受信回路 1 と同様に、この構成を用いることにより、クロック同期デジタル回路 10 がデータ信号を出力・整形するタイミングは、1つの符号に 1 波長のクロック信号が対応するため、クロック信号の立ち上がり、あるいは立ち下がりのどちらか一方のみとなる。前述したハーフレート方式で生じるような、立ち上がりと立ち下がりの時間のずれによるジッタは発生しない。したがって、送信信号波形に生じるジッタはハーフレート方式より小さくなる。

【0040】

従来のフルレート方式では、その他にクロック同期回路を構成する回路ブロックとその間の配線で周波数 f_1 [Hz] のクロック信号を扱うため、クロック同期回路を構成する位相制御回路、クロック発生回路、配線の分岐により、周波数帯域の制限が生じる。それに対して、本実施形態の構成では、回路内で最も高い周波数である f_1 [Hz] のクロック信号を扱うのは、通倍器 9 と、クロック同

期デジタル回路 10 のクロック入力となるフリップフロップと、その間を結ぶ配線のみであるため、周波数帯域の制限となる要素は少なくなる。配線の遅延 t_2 がクロック信号の周期 $1/f_1$ の $1/10$ 以下となるように配置することにより、配線による帯域の減少は小さくなり、通倍器とフリップフロップを構成するデバイスの特性で決まる。通倍器の出力回路を最適化することは可能であるから、フリップフロップのほぼ最大動作速度まで、送信回路の伝送速度を向上させることが可能となる。よって、本発明の送信回路は従来の方式に比べて、ジッタの劣化が少なく、動作速度を向上できる。

【0041】

また、従来のフルレート方式では、クロック同期回路を構成する回路ブロックとその間の配線で、周波数 f_1 [Hz] のクロック信号を扱う必要があるのに比較して、クロック同期回路の動作速度を $1/n$ に低減することができ、周波数帯域とトレードオフの関係にある、負荷駆動力の向上や、消費電力の低減、同期制御周波数範囲の向上、位相雑音の低減などを図ることができる。

【0042】

なお、図 1 では示していないが、通信路 CP に光ファイバを用いて、光信号により受信回路と送信回路間の通信を行う場合には、従来例 1 の図 2 と同様に、受信回路 1 の入力部に、光信号を電気信号に変換するための、光ファイバ数に対応した数のフォトダイオードと、各フォトダイオードの信号を増幅するフォトダイオードと同数の前置増幅器とを設け、各前置増幅器の出力をデータ信号として入力すればよい。また従来例 1 の図 2 と同様に、送信回路 7 の出力部に、データ信号出力を増幅するドライバと、光信号を発生させるレーザ発信器と、光信号をドライバ出力の変調信号に応じて変調した変調信号を出力する変調器とを設ければよい。以下の実施形態においても、光信号を用いる場合には同様である。

【0043】

<実施形態 2>

図 5 は、本発明に係る受信回路および送信回路の第 2 の実施形態を示す回路図である。

【0044】

本実施形態の回路は、 k 並列の信号に対して $k:1$ の時分割多重を行い、伝送速度 $f_1 [b/s]$ のデータを 1 本の伝送路で伝送し、再び $1:k$ に時分割多重信号を分離して復元することができる送受信回路である。図 5 と以下の説明では、 $k=16$ として説明するが、 k は 2 以上の自然数として実施できることはいうまでもない。

【0045】

図 5 において、受信回路 (RCV) 1a は、伝送速度 $f_1 [b/s]$ の直列データ信号を入力し、このデータ信号からクロックを再生し出力するクロック同期回路 2c と、逡倍器 3a と、データ信号の識別再生を行う識別用フリップフロップ 4a と、 $1:2$ の分離を行うデマルチプレクサ (DEMUX) 22b と、デマルチプレクサ 22b に必要な $1/2$, $1/4$, $1/8$, $1/16$ のクロック信号を出力する分周器 (DIV) 20c から構成される。

【0046】

入力されたデータ信号は、クロック同期回路 2c と識別用フリップフロップ 4a に分岐して入力される。

【0047】

クロック同期回路 2c は、入力データ信号とクロック信号の、位相差および周波数差を出力する位相周波数比較器 (PFD) 27 と、この位相周波数比較器の出力から伝達関数を介したクロック周波数の制御信号を出力するクロック制御回路 (CLK_CTRL) 28 と、クロック信号 CLK を出力する可変周波数発振器 29 から構成される PLL (Phase Locked Loop) 回路である。ここでは、クロック同期回路 2c の一例としての PLL 回路を示しているが、PLL 回路として知られている他の形態や、PLL 回路以外のクロック抽出回路として知られている回路を用いることができる。

【0048】

クロック同期回路 2c に入力されたデータ信号は、クロック信号との位相差、周波数差が検出され、その値に対応して可変周波数発振器 29 の周波数や位相を変化させる。データ信号とクロック信号の位相が一致して同期がとれると、クロック周波数は $f_1/2 [Hz]$ でロックされる。ロックがはずれる位相や周波数

の条件は、クロック制御回路 28 の伝達関数で決まる。

【0049】

PLL 回路は、高精度にデータ信号との同期を得ることができるが、回路構成が複雑であることや、可変周波数回路のように高精度のアナログ回路設計が必要になることから、回路内で最も高いデジタル回路と同等の周波数 f_1 で高周波動作させることは困難である。したがって、 $f_1/2$ [Hz] と低い周波数で動作させることは、速度の条件が緩和され、可変周波数拡大や位相雑音の低減、消費電力の低減を図ることができる。

【0050】

クロック信号 CLK は、配線 5a を介して通倍器 3a に、配線 5a, 5aa を介して分周器 20c に、配線 5a, 5aa, 5ab を介して 1:2 デマルチプレクサ 22b にそれぞれ伝送される。通倍器 3a では周波数 f_1 [Hz] のクロック信号へと変換され、フリップフロップ 4a においてデータ信号が適切なタイミングで識別・再生される。周波数 f_1 [Hz] のクロック信号で識別することにより、ジッタの少ない識別を行うことができ、位相余裕の拡大を図ることができる。

【0051】

識別・再生されたデータ信号は、デマルチプレクサ 22b に入力され、周波数 $f_1/2$ [Hz] のクロック信号のタイミングで $f_1/2$ [b/s] の二つの信号に時分割分離される。さらに分離された二つの信号は、それぞれ後段の 1:2 デマルチプレクサ 22bb に入力され、前述の周波数 $f_1/2$ [Hz] のクロック信号を後段の分周器 20c を介して得られた周波数 $f_1/4$ [Hz] のクロック信号のタイミングに従って、伝送速度 $f_1/4$ [b/s] の 4 本のデータ信号に分離される。

【0052】

同様にして、 $f_1/8$ [b/s] $\times 8$ 本、 $f_1/16$ [b/s] $\times 16$ 本とツリー構造に接続された 1:2 デマルチプレクサにより分離されて、受信回路 1a から 16 チャンネルの出力を得ることができる。

【0053】

送信回路 7 a は、伝送速度 $f_1/16$ [b/s] $\times 16$ の並列データ信号と、周波数 $f_1/16$ [Hz] の基準クロック信号 Ref CLK を入力として周波数 $f_1/2$ [Hz] のクロック信号を出力するクロック同期回路 8 a と、この周波数 $f_1/2$ [Hz] のクロック信号を n 倍にする逡倍器 9 a と、データ信号の出力波形整形を行うフリップフロップ 10 a と、2:1 の時分割多重化を行うマルチプレクサ 21 b と、マルチプレクサ 21 b に必要な $1/2$, $1/4$, $1/8$, $1/16$ のクロック信号を出力する分周器 20 c から構成される。

【0054】

基準クロック信号 Ref CLK は、外部回路で使用される低速のクロック信号が入力される。送信回路内部で使用する周波数 f_1 [Hz]、 $f_1/2$ [Hz] などの高精度なクロック信号を得るためには、PLL を用いたクロック同期回路が用いられる。ここでの PLL 回路の構成は受信回路と同様の回路構成であるが、一例である。

【0055】

クロック同期回路 8 a は、基準クロック信号 Ref CLK と、出力した周波数 $f_1/2$ [Hz] のクロック信号を $1/8$ 分周した周波数 $f_1/16$ [Hz] のクロック信号との間の位相比較を行う。そして、位相差に対応して可変周波数発振器 29 a の周波数を制御して基準周波数 $f_1/2$ [Hz] と同期したクロック信号を出力する。受信回路と同様に、動作周波数を $f_1/2$ [Hz] としたことにより、可変周波数の拡大や位相雑音の低減、消費電力の低減を図ることができる。

【0056】

クロック同期回路 8 a の出力クロック信号は、配線 11 a を介して逡倍器 9 a に、また配線 11 a, 11 b を介して分周器 (DIV) 20 c に、さらに配線 11 a, 11 b, 12 b を介して 2:1 マルチプレクサ 21 b に、それぞれ入力される。

【0057】

送信回路 7 a に入力されたデータ信号は、2:1 マルチプレクサ (MUX) を 8 個並べた回路 70 に入力され、周波数 $f_1/2$ [Hz] のクロック信号を分周

器 20c を 3 段通して出力された周波数 $f_1/16$ [Hz] のクロック信号のタイミングで伝送速度 $f_1/8$ [b/s] $\times 8$ 並列のデータ信号に時分割多重される。

【0058】

同様に、周波数 $f_1/8$ [Hz]、 $f_1/4$ [Hz]、 $f_1/2$ [Hz] のそれぞれのクロック信号のタイミングで、伝送速度 $f_1/4$ [b/s]、 $f_1/2$ [b/s]、 f_1 [b/s] へと、ツリー構造に接続された 2:1 マルチプレクサ (MUX) によって、直列データ信号へと時分割多重される。逓倍器 9a に入力された周波数 $f_1/2$ [Hz] のクロック信号は、周波数 f_1 [Hz] のクロック信号として配線 12a を介して、伝送速度 f_1 [b/s] の出力データ信号の波形整形を行うフリップフロップ 10a に入力される。周波数 f_1 [Hz] のクロック信号で切換を行うことにより、ジッタの小さい波形を出力することができる。通信エラーの低減や通信距離の拡大を図ることができる。

【0059】

<実施形態 3>

図 6 は、本発明に係る受信回路および送信回路の第 3 の実施形態を示す回路図である。

【0060】

本実施形態は、図 1 に示した第 1 の実施形態と、クロック信号を分配する構成が相違する。受信回路 1b および送信回路 7b 内のそれぞれのクロック同期回路 2d、8b によって出力された周波数 f_1/n [Hz] のクロック信号は、それぞれ配線 5b、11b を介して分岐されて、 n 倍の周波数のクロック信号を出力する逓倍器 3b、9b と、同様に $n/2$ 倍、 $n/4$ 倍、…、 $f_1/n \times 2$ 倍の周波数を出力する逓倍器 3c、…、9c…、に入力する。

【0061】

また、 $1/2$ の周波数を出力する分周器 20d に入力して、出力を縦続に接続し、 $f_1/n/2$ [Hz]、 $f_1/n/4$ [Hz]、…、 f_1/k [Hz] の周波数を出力する。これらの逓倍器と分周器とクロック同期回路の出力するクロック信号を、それぞれのクロック同期デジタル回路 4b、10b に入力する。

【0062】

このように周波数 f_1 [Hz] を 2 の N 乗 (N は自然数) で分周したクロック信号を分配する構成とすることによって、並列信号の多重と分離を行う送受信回路に必要となる、すべてのクロック周波数を得ることができる。この通倍器を用いたクロック分配の構成は、分周器のみで構成した場合と比べて、 f_1/n [Hz] 以上の高い周波数で動作する素子数を減らすことができ、動作周波数の向上だけでなく、消費電力の低減を図ることができる。

【0063】

ここで、本実施形態だけでなく、前述した第 1 および第 2 の実施形態で述べた本発明に係る受信回路および送信回路で用いる 2 : 1 マルチプレクサ、1 : 2 デマルチプレクサ、1 / 2 分周器、および通倍器の具体的な回路構成例について説明する。

【0064】

(I). 2 : 1 マルチプレクサ

図 7 は、2 : 1 マルチプレクサの内部構成を示すブロック図である。2 : 1 マルチプレクサ (2 : 1 MUX) は、クロック信号 ϕ_{CL} の正相と逆相で動作する二つの D-フリップフロップ 37 の直列接続回路 26 a と、同じクロック信号 ϕ_{CL} の正相と逆相で動作する 3 個の D-フリップフロップ 37 を、正相・逆相・正相の順で接続した直列接続回路 26 D と、セレクタ 38 とから構成される。

二つの並列データ入力信号 PDa_0 、 PDa_1 のうちデータ信号 PDa_0 は、直列接続回路 26 a を介してセレクタ 38 の一方の端子へ入力され、もう一つのデータ信号 PDa_1 は直列接続回路 26 D を介してセレクタ 38 の他方の端子へ入力される。この構成により、データ PDa_0 に対してデータ PDa_1 は半周期遅れて出力されているため、セレクタ 38 の切換のタイミングと一致して入力される。セレクタ 38 の出力信号 SDa は、クロック信号 ϕ_{CL} の正相で入力データ PDa_0 、逆相で入力データ PDa_1 が選択されて、半周期ごと、すなわち 2 倍の伝送速度で直列に出力され、時分割多重が行われる。この回路で出力される波形は、クロック信号 ϕ_{CL} の立ち上がり、立ち下がり両方のタイミングで切り換えられるため、ジッタが生じる一方、必要とされるクロック周波数は、直列

データ S D a の出力信号の周期の半分でよい。1 段目のフリップフロップの出力信号に生じるジッタは、次に接続されるフリップフロップのタイミングマージン内に入ることで整形されるため、ジッタが小さくかつ高速に動作する。

【0065】

(II). 1 : 2 デマルチプレクサ

図 8 は、1 : 2 デマルチプレクサ (1 : 2 DEMUX) の内部構成を示すブロック図である。1 : 2 デマルチプレクサは、同じクロック信号 ϕ C L の正相と逆相で動作する 3 個の D-フリップフロップ 37 を、逆相・正相・逆相の順で接続した上の列の直列接続回路 26 E と、クロック信号 ϕ C L の正相と逆相で動作する二つの D-フリップフロップ 37 を接続した下の列の直列接続回路 26 b とから構成される。

直列データ信号 S D a は、直列接続回路 26 E 内の逆相で動作する初段の D-フリップフロップ 37 a と、直列接続回路 26 b のクロック信号の正相で動作する初段の D-フリップフロップ 37 a に入力される。クロック信号 ϕ C L の半周期ごとに、交互に上の列の D-フリップフロップ、下の列の D-フリップフロップに取り込まれる。それぞれの列のデータ信号は、次段の半周期遅れで動作する D-フリップフロップ 37 a に入力され、上の列のみ、さらに半周期遅れで動作する最終段の D-フリップフロップ 37 a に入力される。したがって、最終段の D-フリップフロップの出力は、上の列、下の列ともに同じタイミングで出力される。この回路も入力クロック信号 ϕ C L の周波数は、1 : 2 に分離する直列データ信号 S D a の周期の半分で動作する。

【0066】

(III). 1 / 2 分周器

図 9 は、1 / 2 分周器として広く知られている回路である。図 9 の回路において、トランジスタ Q c 1 から Q c 15 までと、抵抗 R c 1 から R c 9 までで構成される左側の回路が D-フリップフロップを構成している。同様に、トランジスタ Q d 1 から Q d 15 までと抵抗 R d 1 から R d 9 までで構成される右側の回路はデータ入出力とクロック入力を左側の回路と反転して、たすきがけに接続した D-フリップフロップを構成している。

トランジスタ Q_{e5} から Q_{e8} までと抵抗 R_{e5} , R_{e6} は出力信号を得るためのエミッタフォロワである。なお、D-フリップフロップ内部のトランジスタ Q_{c5} から Q_{c8} と、 Q_{d5} から Q_{d8} のエミッタフォロワは2段である必要はなく、動作速度や消費電力などの要求に応じて1段の構成やエミッタフォロワを用いないカレントモードロジック (CML) の構成を取ることもできる。トランジスタ Q_{e7} , Q_{e8} の出力用エミッタフォロワも、同様である。

【0067】

(IV). 通倍器

(IV-1). 図10は、通倍器の第1の構成例を示す図であり、排他的論理和回路 (EX-OR) 50と 90° 移相器 51を用いて構成した場合のブロック図である。

通倍器に入力された信号は二つに分岐され、一方は直接排他的論理和回路 50の入力Aに、もう一方は 90° 移相器 51へと入力されて、 90° 位相が変化した信号が排他的論理和回路 50の入力Bに入力される。

入力信号が、デジタル信号で符号1と符号0の繰り返し波形とすると、位相が 0° から 90° の間は、入力Aは1、入力Bは0であり、出力は1となる。位相が 90° から 180° までは入力Aは1、入力Bは1であり、出力は0となる。同様に、位相 180° から 270° までは出力1、位相 270° から 360° までは出力0となる。したがって、出力信号は入力信号が1周期の間に2回繰り返すため、 $1/2$ の周期となる。

同様に、入力信号がアナログの正弦波でも2倍の周波数の信号を出力する。したがって、図10の回路は2倍の通倍器として機能する。この回路ブロック構成の場合、原理通りに動作すると周波数に依存せずに通倍信号が得られる。

【0068】

(IV-2). 図11は、前述した通倍器の第1の構成例において、排他的論理和回路 50にギルバートセル型の回路を用いた場合の回路構成である。

入力端子C0とC1間の差動信号 ($C0-C1$) が正のとき正相、負のときを逆相とし、差動対トランジスタ Q_{f1} , Q_{f2} 、および差動対トランジスタ Q_{f3} , Q_{f4} のベースに入力される信号を入力Aとする。また、 90° 位相器 51

a の差動出力も同様に正を正相、負を逆相とし、差動対トランジスタ Q f 5, Q f 6 のベースに入力される信号を入力 B とする。

入力 A が正相で、入力 B が逆相のとき、抵抗 R f 2、トランジスタ Q f 4, Q f 6 に電流が流れて、出力端子 C 2, C 3 間の差動出力 (C 2 - C 3) は正相になる。

入力 A が正相で、入力 B が正相のとき、抵抗 R f 1、トランジスタ Q f 1, Q f 5 に電流が流れて、出力端子 C 2, C 3 間の差動出力 (C 2 - C 3) は逆相になる。

同様に、入力 A が逆相で、入力 B が正相のとき、差動出力 (C 2 - C 3) は正相になり、入力 A が逆相で、入力 B が逆相のとき、差動出力 (C 2 - C 3) は逆相になる。

したがって、この回路構成により排他的論理和の出力を得ることができる。また、逡倍器としても、前述したとおり、差動出力 (C 2 - C 3) として 2 倍の周波数の信号を得ることができる。なお、図 1 1 において、V 1 は高電位側電源電圧、V 2 は低電位側電源電圧、V C S は定電流源用トランジスタ Q f 7, Q f 1 2 ~ Q f 1 5 のベースに印加する制御電圧、R f 1, R f 2 は負荷抵抗、R f 3 ~ R f 7 は電流値を決める抵抗である。

【 0 0 6 9 】

(IV-3). 図 1 2 は、逡倍器の第 2 の構成例を示す図であり、全波整流器を用いた場合の回路構成である。全波整流の出力波形は、正弦波の場合、中心値を基準に折り返した入力信号の 1 / 2 の周期の信号であり、高調波成分を除去することにより 2 倍の周波数の信号が得られる。

図 1 2 では、全波整流回路をエミッタとコレクタを共通にした差動対トランジスタ Q g 1, Q g 2 で構成し、出力信号の直流成分を取り除くために容量 C g を出力に直列に接続し、さらに単相差動変換のためにアンプ 5 2 を接続した構成である。このアンプ 5 2 により全波整流回路で減衰した振幅を、復元することができる。

この逡倍器の構成は、図 1 1 に比べると回路規模が小さく、消費電力を低減できる利点がある。

【0070】

(IV-4). 図13は、通倍器の第3の構成例を示す図であり、ダイオードブリッジを用いた場合の回路構成である。

ダイオードD1～D4で構成したダイオードブリッジも全波整流回路として知られており、図12に示した第2の構成例と同様に、出力に容量を介してアンプを接続することにより、周波数2倍の通倍器として機能する。

この通倍器の構成は、出力のアンプの消費電力が図12と同じであれば、最も消費電力が少ない構成である。

【0071】

以上、(I)～(IV-4)で述べた各回路を、本実施形態、第1および第2の実施形態のそれぞれ対応する回路に用いることにより、本発明に係る受信回路および送信回路を実現することができる。

【0072】

以上、本発明の好適な実施形態について説明したが、本発明は上記実施形態に限定されるものではなく、本発明の精神を逸脱しない範囲内において、種々の設計変更をなし得ることは勿論である。例えば、具体的回路構成例として実施形態では、その要素回路をバイポーラトランジスタを用いた場合だけで説明したが、電界効果トランジスタ、ヘテロ接合バイポーラトランジスタ、高電子移動度トランジスタ、金属半導体接合電界効果トランジスタに置き換えて用いてもよいことは勿論であり、データ信号およびクロック信号の伝送形式が、差動方式、単相方式のいずれの場合であっても適用できることはいうまでもない。

【0073】**【発明の効果】**

前述した実施形態から明らかなように、本発明によれば、クロック同期回路が入力信号と同期をとって出力するクロック信号の周波数を大きく下げることができるので、クロック信号の周波数がクロック同期回路の周波数帯域を超過し、クロック信号の振幅が減衰してクロック同期デジタル回路が動作できなくなるという問題が解決される。すなわち、クロック同期回路の動作周波数帯域は、送受信回路の動作速度の制限ではなくなる。したがって、クロック同期デジタル回路が

動作可能な速度まで、さらに高い動作周波数の送受信回路を設計することが可能になる。

【 0 0 7 4 】

また、従来は高い動作周波数を得るために送受信回路の中で消費電力が大きい回路であったクロック同期回路は、本発明によれば動作周波数が低下するため、動作電流を従来より大きく低減することができ、消費電力を低減できる。

【 0 0 7 5 】

また、クロック同期回路に使用する可変周波数発振回路は、従来よりも発振周波数を低くできるため寄生素子による影響が低減され、設計精度の向上、可変周波数範囲の拡大、発振器の位相雑音の低減を図ることができる。

【 0 0 7 6 】

また、クロック同期回路の動作周波数が低くなるので、クロック信号配線に生じる配線容量の影響が低減する結果、配線長を周波数の低下に逆比例して延長することができる。

【図面の簡単な説明】

【図 1】

本発明に係る第 1 の実施形態の受信回路と送信回路を示すブロック図。

【図 2】

従来の受信回路と送信回路を示すブロック図。

【図 3】

従来のフルレート方式の送信回路を示すブロック図。

【図 4】

従来のハーフレート方式の受信回路と送信回路を示すブロック図。

【図 5】

本発明に係る第 2 の実施形態の受信回路と送信回路を示すブロック図。

【図 6】

本発明に係る第 3 の実施形態の受信回路と送信回路を示すブロック図。

【図 7】

本発明に係る受信回路と送信回路で用いるマルチプレクサの一例を示すブロッ

ク図。

【図 8】

本発明に係る受信回路と送信回路で用いるデマルチプレクサの一例を示すブロック図。

【図 9】

本発明に係る受信回路と送信回路で用いる分周回路の構成の一例を示すブロック図。

【図 1 0】

本発明に係る受信回路と送信回路で用いる通倍回路の構成の一例を示すブロック図。

【図 1 1】

本発明に係る受信回路と送信回路で用いる通倍回路の別の構成例を示すブロック図。

【図 1 2】

本発明に係る受信回路と送信回路で用いる通倍回路のまた別の構成例を示すブロック図。

【図 1 3】

本発明に係る受信回路と送信回路で用いる通倍回路のさらに別の構成例を示すブロック図。

【符号の説明】

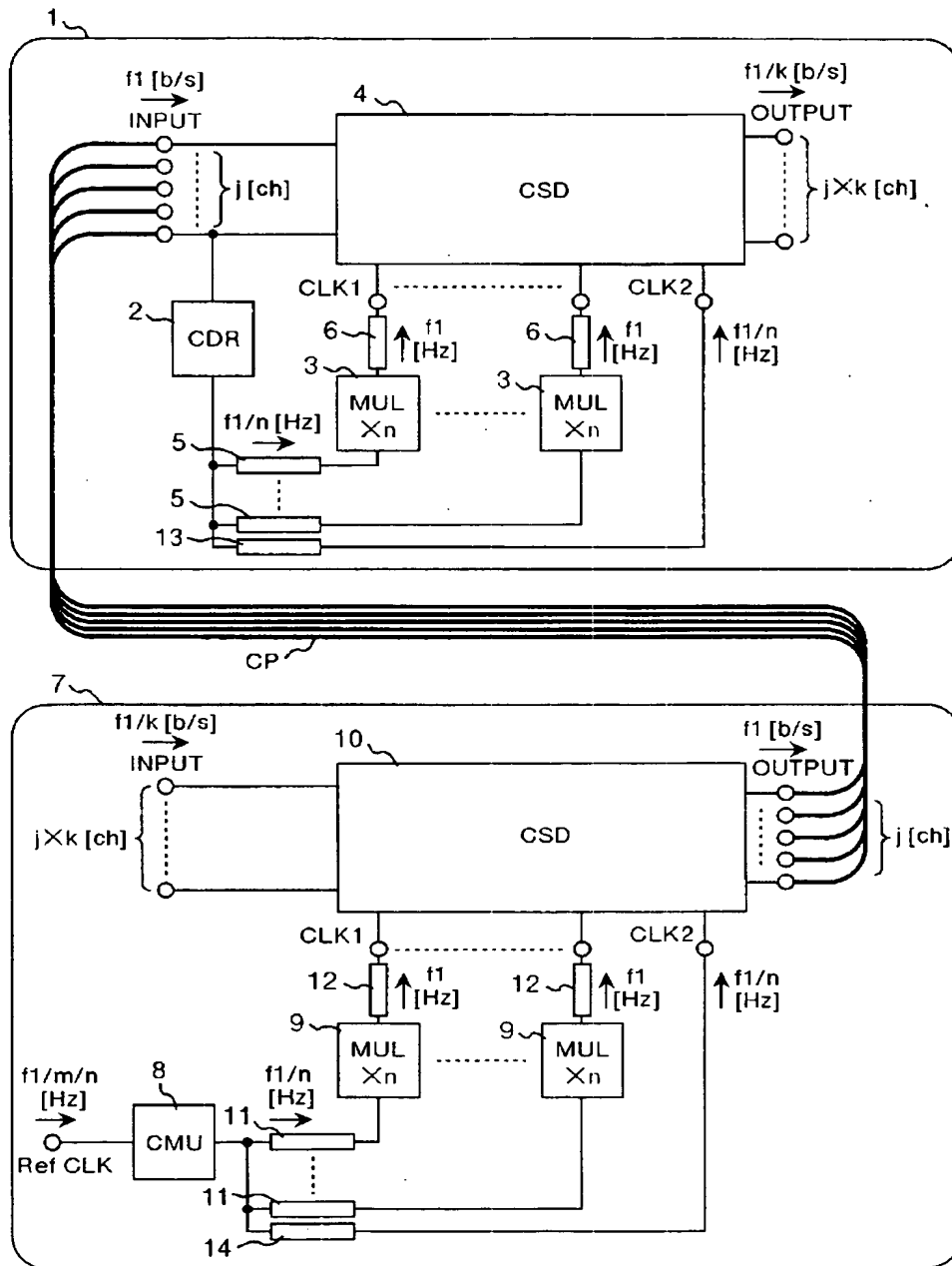
1, 1 a, 1 b…受信回路、3, 3 a, 3 b…通倍器、4, 4 a, 4 b…クロック同期デジタル回路 (C S D)、5, 5 a, 5 b…クロック同期回路と通倍器間の配線、6, 6 a, 6 b…通倍器とクロック同期デジタル回路間の配線、7, 7 a, 7 b…送信回路、8, 8 a, 8 b…クロック同期回路 (C M U)、9, 9 a ~ 9 c…通倍器、1 0, 1 0 b…クロック同期デジタル回路、1 0 a…フリップフロップ、1 1, 1 1 a, 1 1 b : クロック同期回路と通倍器間の配線、1 2, 1 2 a, 1 2 b : 通倍器とクロック同期デジタル回路間の配線、1 3, 1 4…クロック同期回路とクロック同期デジタル回路間の配線、2 0, 2 0 a ~ 2 0 d…分周回路、2 1, 2 1 a ~ 2 1 c…マルチプレクサ (M U X)、2 2, 2 2 a

、22b、22bb、22c…デマルチプレクサ (DEMUX)、23…データ出力バッファ回路、24位相シフト回路、25…クロックバッファ回路、27…位相周波数比較器 (PFD)、28…クロック制御回路 (CLK_CTRL)、29…可変周波数発振器、30…4:1 マルチプレクサ、31、31a…フォトダイオード、32、32a…プリアンプ (トランスインピーダンスアンプ)、33、33a…光ファイバ、34…1:4 デマルチプレクサ (DEMUX)、35…メインアンプ、36…識別器、37、37a…Dフリップフロップ回路、38…セクタ回路、40…レーザダイオード、41、41a…変調器、42…変調器ドライバ、43…光アンプ、50…排他的論理和回路 (EX-OR)、51、51a…90° 位相シフト回路、52…アンプ、CP…通信路、MS…マスタースレーブDフリップフロップ回路、M…マスタースレーブDフリップフロップ回路のマスター、S…マスタースレーブDフリップフロップ回路のスレーブ、RCV…受信回路、TRM…送信回路、PDa0、PDa1…並列データ信号、SDa…直列データ信号、 ϕ CL、CLK、CLK1、CLK2…クロック信号、RefCLK…基準クロック、CLK_CTRL…クロック制御回路、t1、t2 遅延。

【書類名】 図面

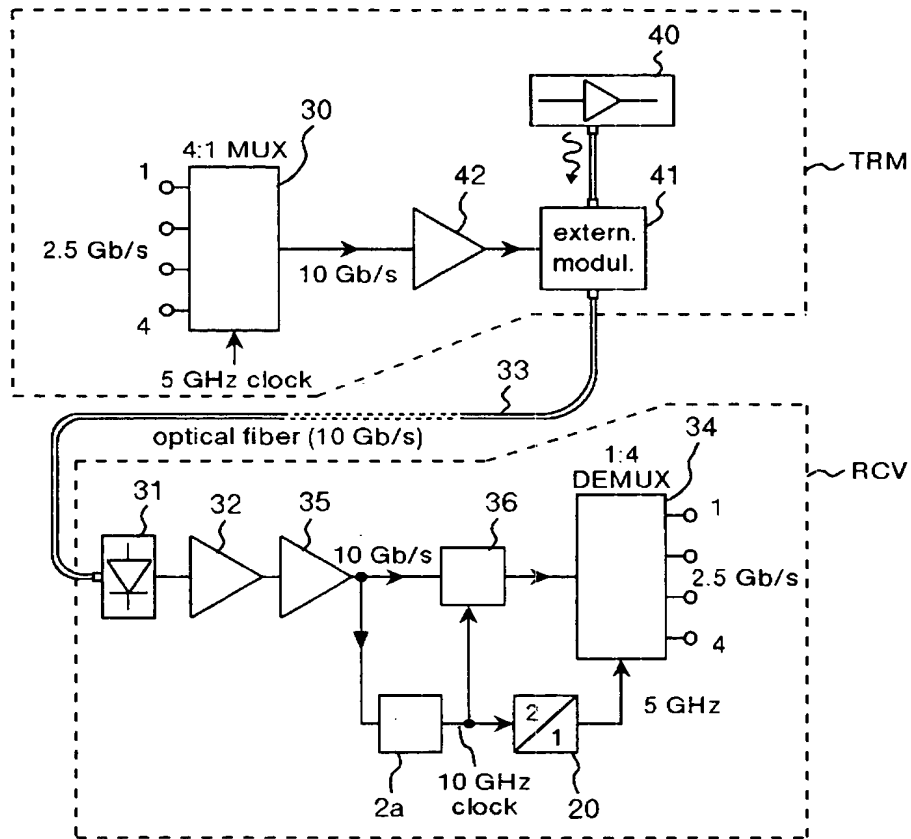
【図 1】

図 1



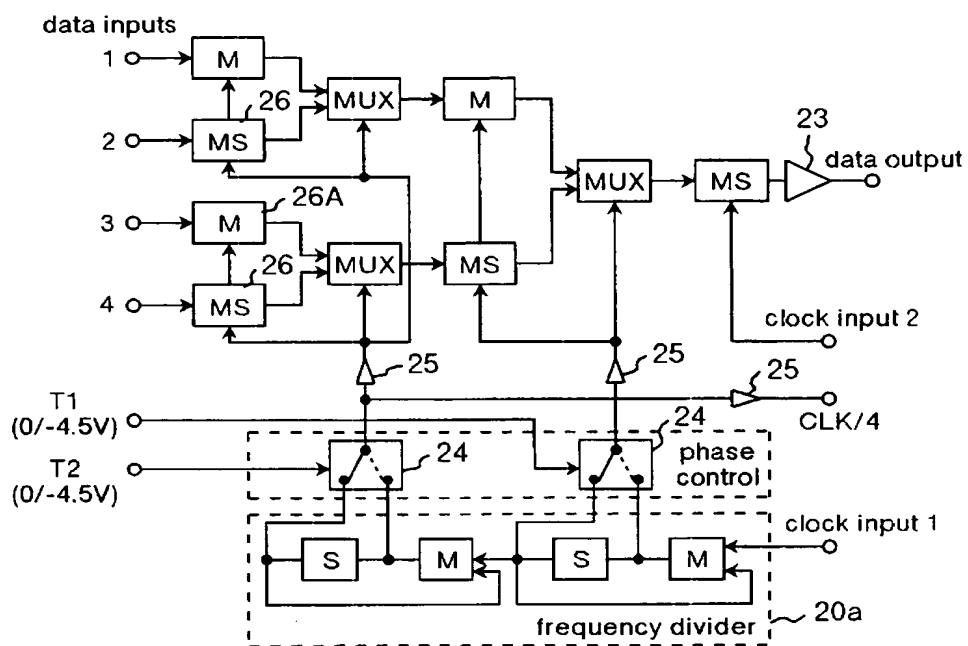
【図 2】

図 2



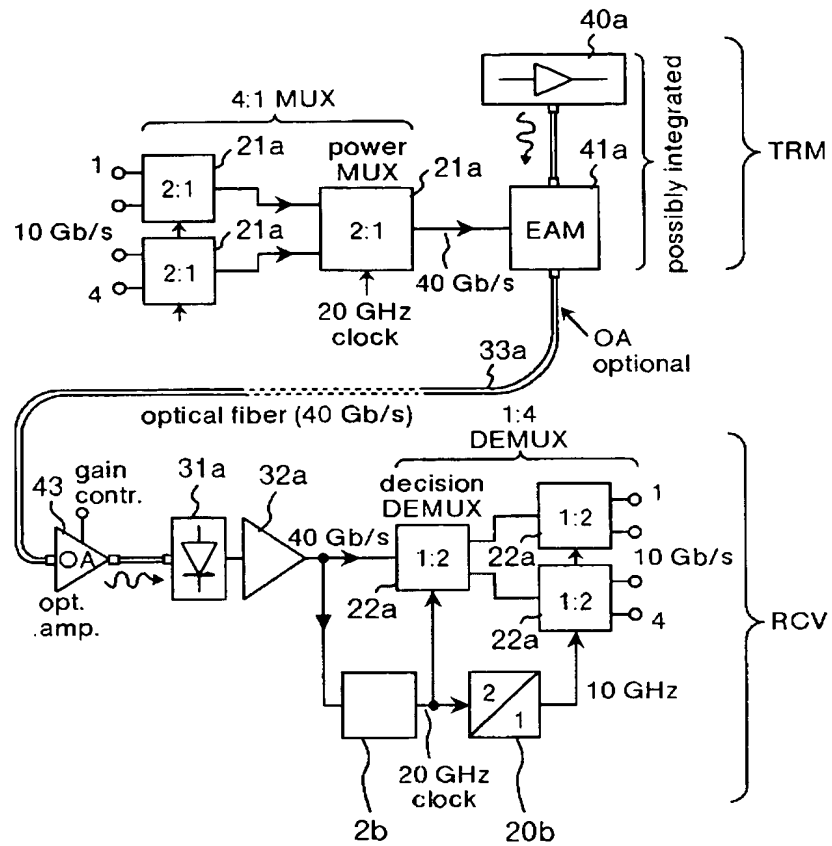
【図 3】

図 3



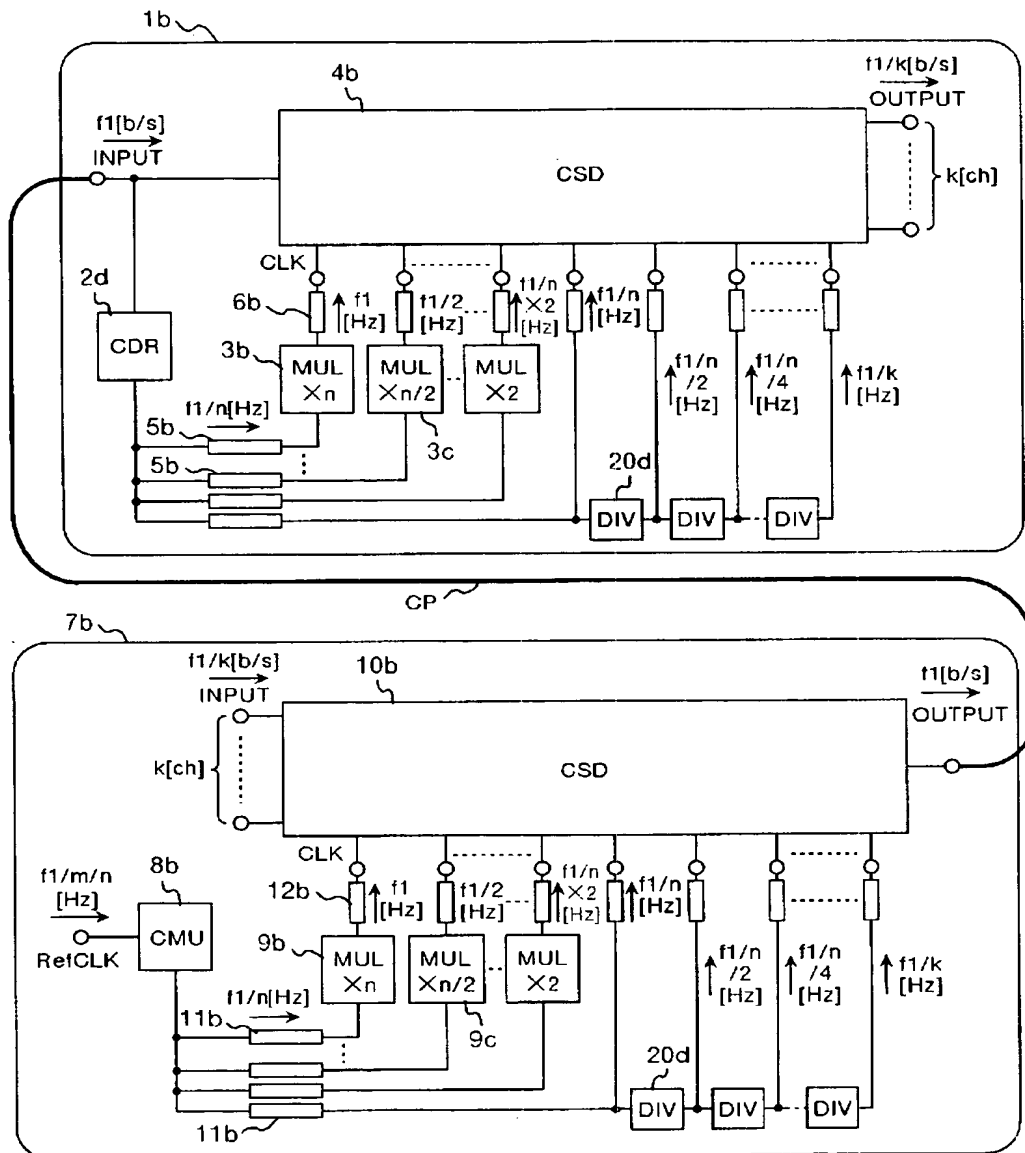
【図 4】

図 4



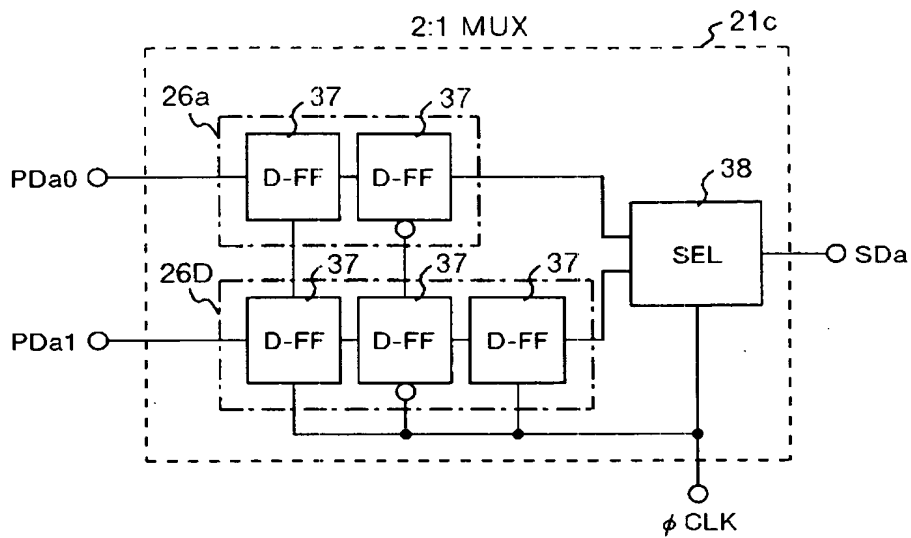
【図 6】

図 6



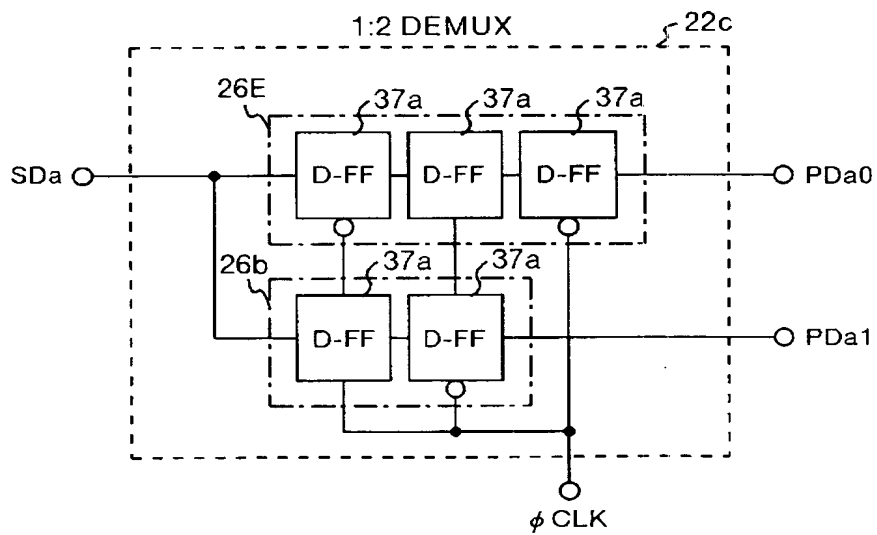
【図 7】

図 7



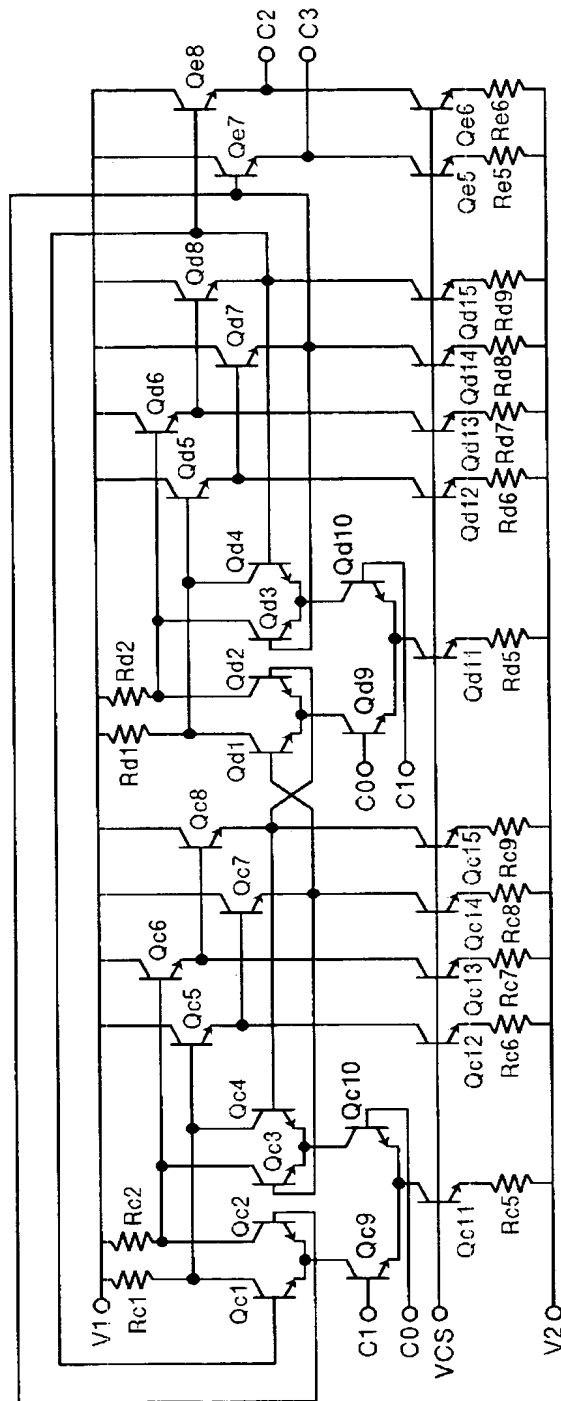
【図 8】

図 8



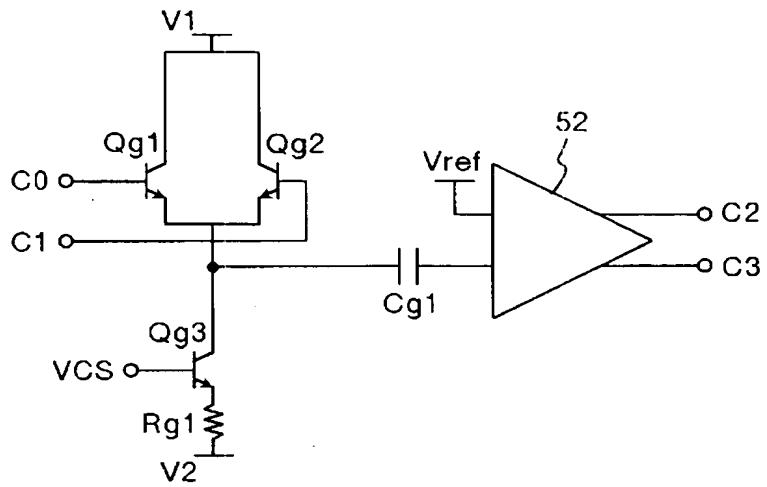
【図 9】

図 9



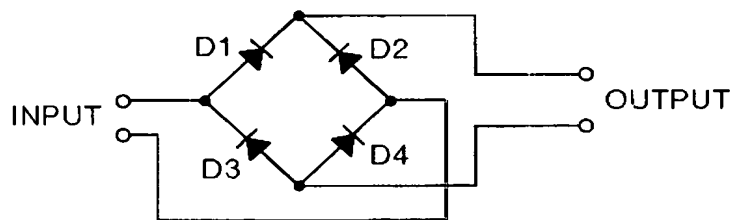
【図 12】

図 12



【図 13】

図 13



【書類名】 要約書

【要約】

【課題】 クロック同期デジタル回路の動作速度をフリップフロップの最大速度まで向上させ、かつ、ジッタの発生を抑えた通信用送受信回路を提供する。

【解決手段】 周波数 f_1 / n [H z] でデータと同期したクロック信号を、通倍器 3 で n 倍のクロック周波数にして、クロック同期デジタル回路 4 内の、動作速度 f_1 [b / s] のフリップフロップのトリガに用いる。通倍器は f_1 [H z] のクロック信号をトリガとするフリップフロップの近傍に配置して配線容量による動作速度低下の影響を避ける。

【効果】 クロック同期デジタル回路の動作周波数で決まっていた送受信回路の最大動作速度を、フリップフロップの最大動作速度まで向上させることができる。クロック信号処理回路の周波数帯域設計に余裕ができるため、消費電力の低減、位相雑音の低減、制御周波数範囲の拡大を図ることができる。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 23446

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【提出物件の目録】

【包括委任状番号】 0308735

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 3 2 1 7 5 6 号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 2 3 4 4 6
受付番号	5 0 3 0 1 2 4 9 8 2 4
書類名	出願人名義変更届（一般承継）
担当官	土井 恵子 4 2 6 4
作成日	平成 1 5 年 9 月 2 日

< 認定情報・付加情報 >

【提出日】 平成 1 5 年 7 月 2 9 日

特願 2 0 0 3 - 0 2 3 4 4 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 0 2 3 4 4 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 3 0 8 8]

1 . 変更年月日
[変更理由]

1 9 9 0 年 8 月 3 0 日
新規登録

住 所
氏 名

千葉県茂原市早野 3 6 8 1 番地
日立デバイスエンジニアリング株式会社

特願 2 0 0 3 - 0 2 3 4 4 6

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ